

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2005 年 6 月 16 日 (16.06.2005)

PCT

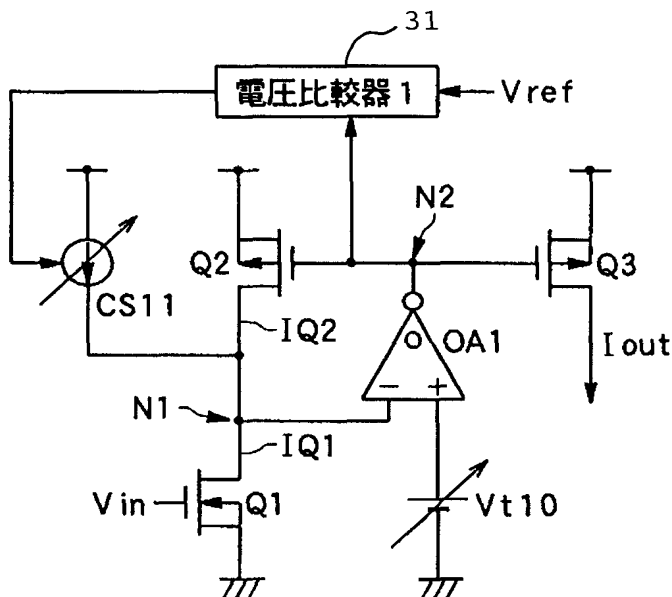
(10) 国際公開番号
WO 2005/055419 A1

- (51) 国際特許分類7: H03G 3/10, H03F 3/34, H03H 11/04 (72) 発明者; および
(21) 国際出願番号: PCT/JP2004/013433 (75) 発明者/出願人 (米国についてのみ): 堀 真一 (HORI, Shinichi) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP).
(22) 国際出願日: 2004 年 9 月 15 日 (15.09.2004) (74) 代理人: 宮崎 昭夫, 外(MIYAZAKI, Teruo et al.); 〒1070052 東京都港区赤坂 1 丁目 9 番 2 0 号 第 1 6 興和ビル 8 階 Tokyo (JP).
(25) 国際出願の言語: 日本語 (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE,
(26) 国際公開の言語: 日本語
(30) 優先権データ: 特願2003-405601 2003 年 12 月 4 日 (04.12.2003) JP
(71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 Tokyo (JP).

[続葉有]

(54) Title: GAIN-VARIABLE VOLTAGE/CURRENT CONVERTING CIRCUIT HAVING CURRENT COMPENSATING CIRCUIT FOR COMPENSATING FOR VARIATION OF DC CURRENT FLOWING THROUGH ACTIVE ELEMENT THAT PERFORMS VOLTAGE/CURRENT CONVERSION

(54) 発明の名称: 電圧・電流変換を行う能動素子に流れる直流電流の変化分を補償する電流補償回路を有する利得可変電圧・電流変換回路



31... VOLTAGE COMPARATOR 1

(57) Abstract: A gain-available voltage/current converting circuit has an input part active element, which has an input side terminal, an output side terminal and a ground side terminal, for performing a voltage/current conversion; a potential control circuit for controlling, based on the potential at the output side terminal of the input part active element, the conversion gain of the input part active element; an output part voltage/current converting circuit for outputting a current corresponding to a voltage signal outputted from the potential control circuit; and a current compensating circuit connected to the output side terminal of the input part active element for outputting a DC current in accordance with the amount of a DC current flowing from the output side terminal of the input part active element into the input part active element. The current compensating circuit compensates for a variation of the DC current of the input part active element that occurs during adjustment of the conversion gain. As a result, the variation of the operating points of the other circuit elements can be minimized.

(57) 要約: 本発明の利得可変電圧・電流変換回路は、入力側端子と出力側端子と接地側端子を有し、電圧・電流変換を行う入力部能動素子と、

入力部能動素子の出力側端子の電位に基づいて、入力部能動素子の変換利得を制御する電位制御回路と、電位制御回路から出力された電圧信号に対応した電流を出力する出力部電圧・電流変換回路と、入力部能動素子の出力側端子から当該入力部能動素子に流れる直流電流量に応じて直流電流を出力する、当該入力部能動素子の出力側端子に接続された電流補償回路を有する。電流補償回路は、変換利得を調整した際に生じる、入力部能動素子の直流電流の変化分を補う。このため、その他の回路素子の動作点変動は最小限に留まる。

WO 2005/055419 A1



SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, YU, ZA, ZM, ZW.

BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN,
TD, TG).

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF,

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

電圧・電流変換を行う能動素子に流れる直流電流の変化分を補償する電流補償回路を有する利得可変電圧・電流変換回路

技術分野

[0001] 本発明は、変換利得が可変の電圧・電流変換回路（以下、gmアンプと称する）に関する。

背景技術

[0002] 近年、複数の無線通信方式に対応した受信機（以下、マルチモード対応受信機と称する）の出現が求められている。この受信機を構成するためには、それぞれの通信方式に対応したチャンネル選択フィルタ回路（以下、マルチモード対応フィルタと称する）が必要である。そして、このフィルタには、通過帯域幅を広範囲にわたって可変にできる機能が必要である。一般的に受信機をワンチップで構成する場合には、チャンネル選択フィルタとして、gmアンプと容量Cで構成される、いわゆるgm-C方式が用いられる。上記通過帯域幅に可変特性の機能を持たせるためには、gmアンプに、広範囲にわたって変換利得を持たせる必要がある。

[0003] gmアンプは、具体的には、バイポーラトランジスタやMOSTランジスタなどの能動素子で構成される。実際の設計においては、プロセスバラツキに対応するために、相互コンダクタンス値（以下、Gm値と称する）を設計値に対して、 -30% ～ $+30\%$ の間で電氣的に制御可能にしているものが多い。その範囲を超えて調整するためには、スイッチ回路を用いて切り替える方式が一般的である。

[0004] 図1A、Bは、第1の従来例を示した回路図である（IEEE JSSC vol. 37, no. 2, p. 125-136, Feb. 2002を参照）。図1Aは、全体の構成を示す回路図である。図1Bは、図1Aのプログラマブルカレントミラー（Programmable Current Mirror）回路G1またはG2（11または12）の内部構成を示す回路図である。図1A、Bにおいて、Q330、Q340、Q350、Q360はp型MOSTランジスタ、Q370、Q380、Q390、Q400、Q410、Q420、Q430、Q440、Q450、Q460はn型MOSTランジスタ、CS400、CS500、CS600は電流源、V1は電圧源、SW500、SW6

00、SW700はスイッチ回路である。出力電流信号 I_{out} は、並列配置されたn型MOSトランジスタQ410、Q420、Q430から供給される。n型MOSトランジスタQ410、Q420、Q430は、それぞれスイッチ回路SW500、SW600、SW700によって選択される構成になっている。

[0005] 差動の入力電圧信号 V_{in+} がMOSトランジスタQ330およびQ340のゲート端子に入力され、もう一方の差動の入力電圧信号 V_{in-} がMOSトランジスタQ350およびQ360のゲート端子に入力されると、この4つのMOSトランジスタによって、2つのプログラマブルカレントミラー回路G1およびG2に、差動入力電圧に対応した差動成分を持った電流が流れる。プログラマブルカレントミラー回路G1およびG2では、スイッチ回路SW500、SW600、SW700を切り替えることにより、差動成分を持った電流を所望の倍率に増幅して出力電流信号 I_{out} を出力することができる。

[0006] 図1A、Bに示されたカレントミラー回路G1およびG2では、スイッチ回路SW500およびSW600が電源電圧側に接続されており、n型MOSトランジスタQ410およびQ420が動作状態となっている。この状態から G_m 値を下げるには、スイッチ回路SW600を接地側に切り替える必要がある。これにより、n型MOSトランジスタQ420が非動作状態となり、 G_m 値が下がる。図示された状態から G_m 値を上げるには、スイッチ回路SW700を電源電圧側に切り替える必要がある。これにより、n型MOSトランジスタQ430が動作状態となり、 G_m 値が上がる。このカレントミラー回路の特徴の1つは、スイッチ回路の一端をMOSトランジスタのゲート端子に接続するため、スイッチ回路の寄生成分(抵抗・容量成分など)の影響が少なくなることである。また、並列接続させるMOSトランジスタの数を増やすほど、 G_m 値の可変幅を大きくすることができるという特徴がある。

[0007] 図2は、第2の従来例を示した回路図である(Proc. ESSCIRC 2002、pp. 647-650、2002を参照)。

[0008] 第2の従来例は、n型MOSトランジスタQ100およびQ400、p型MOSトランジスタQ200およびQ300、定電流源CS200を含む。p型MOSトランジスタQ200およびQ300のサイズパラメータは等しく設定されている。n型MOSトランジスタQ100は三極管領域で動作し、入力電圧信号 V_{in} がゲート端子に入力されると、次の式にしたがっ

て電流信号 I_{ds} を出力する。

[0009] [数1]

$$I_{ds} = \beta \cdot \left(V_{gs} - V_{th} - \frac{1}{2} V_{ds} \right) \cdot V_{ds} \quad (1)$$

また、 G_m 値は、式(1)の両辺を V_{gs} で微分することにより、次の式で与えられる。

[0010] [数2]

$$G_m = \beta \cdot V_{ds} \quad (2)$$

β は定数、 V_{th} は閾値、 V_{gs} はゲート・ソース間電圧、 V_{ds} はドレイン・ソース間電圧である。図2における V_{in} は式(1)のゲート・ソース間電圧 V_{gs} に相当し、ノードN100の電位 V_{N100} は、式(2)のドレイン・ソース間電圧 V_{ds} に相当する。

[0011] 飽和領域にあるn型MOSTランジスタQ400のゲート端子に制御電圧 V_{t100} が入力されると、n型MOSTランジスタQ400のドレイン・ソース間には次の式に従った電流 I_{ds} が流れる。

[0012] [数3]

$$I_{ds} = \frac{\beta}{2} (V_{tune} - V_N - V_{th})^2 \quad (3)$$

ここで、 V_{tune} は V_{t100} 、 V_N はノードN100の電位である電位 V_{N100} 、 V_{th} はn型MOSTランジスタQ400の閾値である。 I_{ds} は、定電流源CS200から供給される電流であるため、電位 V_{N100} は、式(3)から一意に決まる。n型MOSTランジスタQ100のゲート電圧が変動して、電位 V_{N100} がより高い電位になると、n型MOSTランジスタQ400のゲート・ソース間電圧は小さくなるので、ノードN200の電位 V_{N200} は上昇する。電位 V_{N200} は、p型MOSTランジスタQ200のゲート電圧であるため、p型MOSTランジスタQ200の反転増幅作用により、 V_{N100} の電位は高い電位から低い電位へ引き戻される。

- [0013] 逆に、電位VN100がより低い電位になると、同様の原理が逆に作用して、電位VN100の電位は低い電位から高い電位へ引き戻される。結局、電位VN100であるVNは、式(3)と V_{tune} である V_{t100} から決定される値に固定される。すなわち、式(2)の V_{ds} はn型MOSTランジスタQ100のゲート入力電圧に対して固定される。したがって、n型MOSTランジスタQ100の電圧・電流変換特性は高い線形性を持つ。また、制御電圧 V_{t100} により、電位VN100の調整が可能であるので、式(2)のドレイン・ソース間電圧 V_{ds} に電位VN100を代入した式にしたがって、n型MOSTランジスタQ100の G_m 値を調整できる。
- [0014] 電位VN100が固定された状態においては、n型MOSTランジスタQ100のゲート端子に入力された電圧信号は、式(1)に基づいてn型MOSTランジスタQ100の電流信号に変換される。n型MOSTランジスタQ100の電流信号は、p型MOSTランジスタQ200およびQ400で構成された帰還回路内部において、ノードN200の電圧信号VN200に変換されたのち、p型MOSTランジスタQ300の電流信号 I_{out} として出力される。p型MOSTランジスタQ200とQ300のMOSTランジスタのサイズパラメータは等しいため、n型MOSTランジスタQ100の電流信号と I_{out} は等しい。したがって、本従来例の電圧・電流変換特性は、n型MOSTランジスタQ100の電圧・電流変換特性と等しく、高い線形性を持つ。また、n型MOSTランジスタQ100の G_m 値は制御電圧 V_{t100} によって調整可能であるため、本従来例の G_m 値も V_{t100} により調整可能である。
- [0015] さらに、本従来例は、電源とグランドの間にMOSTランジスタを2個あるいは3個のみ配置して構成しているため、低電圧電源に対しても、各MOSTランジスタに十分なバイアス電圧を与えることができる。このため、この回路の入力ダイナミックレンジは大きい。
- [0016] しかしながら、上述した第1の従来例と第2の従来例には次のような問題点がある。
- [0017] 第1の従来例では、gmアンプに広い利得可変範囲を持たせることが可能となる。しかし、スイッチ回路を用いる必要があるため、スイッチ回路の制御用にデジタル回路を必要とし、MOSTランジスタに使用されるアナログ回路とデジタル回路が混在した複雑な回路構成となる。その結果、チップ面積が増大するという問題点がある。

- [0018] 第2の従来例では、スイッチ回路を使用しないため、スイッチ回路の制御用デジタル回路を必要としない。したがって、チップ面積が小さくなるが、広い範囲にわたる利得調整を試みると、MOSTランジスタの動作点を所望の領域に維持することが困難になるため、電圧・電流変換する場合に線形性が著しく劣化するという問題点がある。

発明の開示

- [0019] 本発明の目的は、上述した従来例の回路の問題点を解決することであって、デジタル制御回路を必要とせず、1つの制御端子に調整電圧を与えることによって、電圧・電流変換の線形性を高く維持し、広範囲にわたって利得を変化させることができる利得可変電圧・電流変換回路を提供することにある。
- [0020] 上記目的を達成するために、本発明の利得可変電圧・電流変換回路は、入力側端子と出力側端子と接地側端子を有し、電圧・電流変換を行う入力部能動素子と、入力部能動素子の出力側端子の電位に基づいて、入力部能動素子の変換利得を制御する電位制御回路と、電位制御回路から出力された電圧信号に対応した電流を出力する出力部電圧・電流変換回路と、入力部能動素子の出力側端子から当該入力部能動素子に流れる直流電流量に応じて直流電流を出力する、当該入力部能動素子の出力側端子に接続された電流補償回路を有する。
- [0021] 以上のように、電圧・電流変換を行う能動素子の出力端子に電流補償回路が接続される。電流補償回路は、変換利得を調整した際に生じる、能動素子の直流電流の変化分を補う。このため、その他の回路素子の動作点変動を最小限に留めることができる。したがって、利得調整を行っても、各回路素子は、利得調整前とほぼ同様の状態での動作が可能となるので、広範囲にわたって、安定した利得可変が可能となる。

図面の簡単な説明

- [0022] [図1A]利得可変gmアンプの第1の従来例を示す図である。
- [図1B]図1Aのプログラマブルカレントミラー回路の内部構成を示す図である。
- [図2]利得可変gmアンプの第2の従来例を示す図である。
- [図3A]本発明の第1の実施形態を示す回路図である。

[図3B]図3Aのp型MOSTランジスタQ2の動作を説明するための図である。

[図4]本発明の第1の実施例を示す回路図である。

[図5]本発明の第2の実施形態を示す回路図である。

[図6]本発明の第2の実施例を示す回路図である。

[図7]本発明の第3の実施形態を示す回路図である。

[図8]本発明の第3の実施例を示す回路図である。

[図9A]本発明の第4の実施形態を示す回路図である。

[図9B]図9Aにおいてバイアス電流 I_{2b} によって発生するノードN42における電圧 V_{N42} と制御電圧 V_{t40} の関係を示す図である。

[図10]本発明の第4の実施例を示す回路図である。

[図11]本発明の第5の実施形態を示す回路図である。

[図12]本発明の第5の実施例を示す回路図である。

[図13A]本発明の第6の実施形態を示す回路図である。

[図13B]図13Aの利得可変電圧・電流変換回路 $gm1$ から $gm4$ の詳細な回路図である。

[図14]本発明の第6の実施形態の動作を説明するための図である。

発明を実施するための最良の形態

[0023] (第1の実施形態)

図3Aは、本発明の第1の実施形態を示す回路図であり、図3Bは、図3Aのp型MOSTランジスタQ2の動作図である。本実施形態では、電圧・電流変換を行う入力部能動素子としてn型MOSTランジスタQ1が用いられ、電位制御回路としてp型MOSTランジスタQ2が用いられる。また、電流補償回路として可変電流源CS11が用いられ、出力部電圧・電流変換回路としてp型MOSTランジスタQ3が用いられる。オペアンプOA1は入力部能動素子の出力端子に接続され、p型MOSTランジスタQ2のゲート端子はオペアンプOA1の出力端子に接続され、p型MOSTランジスタQ2のドレイン端子はn型MOSTランジスタQ1のドレイン端子に接続されている。p型MOSTランジスタQ3のゲート端子は、p型MOSTランジスタQ2のゲート端子に接続され、p型MOSTランジスタQ3とp型MOSTランジスタQ2は同じサイズパラメータを持つ。n型

MOSTランジスタQ1のゲート端子に入力される電圧信号には、n型MOSTランジスタQ1の動作点を飽和領域にバイアスする直流電圧が含まれる。

[0024] 図3Aにおける、利得可変電圧・電流変換回路の動作原理を以下に述べる。

[0025] ノードN1における電位VN1は、オペアンプOA1とp型MOSTランジスタQ2で構成された帰還回路により、次の原理で制御電圧Vt10に固定される。電位VN1が制御電圧Vt10より高い値になると、オペアンプOA1はハイレベルの電圧を出力する。この電圧がp型MOSTランジスタQ2のゲート端子に入力されると、p型MOSTランジスタQ2の反転増幅作用で電位VN1は高い電圧から低い電圧に引き戻される。逆に、電位VN1が制御電圧Vt10より低い値になると、オペアンプOA1はいわゆるローレベルの電圧を出力する。この電圧がp型MOSTランジスタQ2のゲート端子に入力されると、p型MOSTランジスタQ2の反転増幅作用で電位VN1は低い電圧から高い電圧に引き戻される。したがって、ノードN1における電位VN1は、制御電圧Vt10に等しい状態に固定される。

[0026] n型MOSTランジスタQ1のゲート端子に入力される電圧信号Vinには、n型MOSTランジスタQ1の動作点を三極管領域にバイアスさせる直流電圧成分が含まれるので、ゲート端子に入力された電圧信号Vinは、式(1)にしたがって電流信号に変換される。電位VN1は制御電圧Vt10と同じ値に固定されるため、式(2)のn型MOSTランジスタQ1のドレイン・ソース間電圧Vdsは固定値となる。したがって、Gm値は固定値となる。したがって、n型MOSTランジスタQ1の電圧電流変換特性の線形性が高くなる。この電流信号は、オペアンプOA1とp型MOSTランジスタQ2により構成した帰還回路内部において、ノードN2における電圧信号に変換されたのち、p型MOSTランジスタQ3の電流信号Ioutとして出力される。また、p型MOSTランジスタQ2とQ3は、MOSTランジスタのサイズパラメータが等しいので、p型MOSTランジスタQ2の電流信号IQ2とp型MOSTランジスタQ2の電流信号Ioutは等しい。n型MOSTランジスタQ1の電圧電流変換特性の線形性は高いので、入力電圧信号Vinに対する出力電流信号Ioutの変換特性の線形性も高い。

[0027] また、制御電圧Vt10を変化させると、それに対応してノードN1における電位VN1が変化する。電位VN1は、式(2)のVdsに等しいので、式(2)のn型MOSTランジスタ

タQ1のGm値は、制御電圧 V_{t10} を変化させることによって調整できる。すなわち、Gm値を高く設定するために、制御電圧 V_{t10} を上げると、電位VN1が上昇する。式(1)のドレイン・ソース間電圧 V_{ds} は電位VN1に相当するため、ドレイン・ソース電圧 V_{ds} に電位VN1を代入すると、式(1)のドレイン・ソース電流 I_{ds} に相当するn型MOSトランジスタQ1のバイアス電流 I_{Q1} が増加することがわかる。制御電圧 V_{t10} を上げた場合、オペアンプOA1の出力端子であるノードN2の直流電圧成分VN2が下がるので、p型MOSトランジスタQ2のゲート電位も下がる。その結果、p型MOSトランジスタQ2のゲート・ソース間電圧 V_{Q2gs} の絶対値が大きくなるので、p型MOSトランジスタQ2のバイアス電流 I_{Q2} が増加する。直流電圧成分VN2が外部参照電圧 V_{ref} に等しくなるまで下がると、それ以降のn型MOSトランジスタQ1のバイアス電流 I_{Q1} の増加分は、可変電流源CS11から供給されるように電圧比較器1(31)から可変電流源CS11に信号が出力される。この構成により、Gm値を高い値に調整しても、ノードN2の直流電圧成分VN2は、外部参照電圧 V_{ref} を下回らないため、p型MOSトランジスタQ2の動作点は、制御電圧 V_{t10} の広い調整範囲にわたって飽和領域に維持される。すなわち、本実施形態においては、広いGm値調整範囲において、各素子の動作点を所望の動作領域内に維持することができ、高い線形性を保つことが可能となる。

[0028] 図3Bに、Gm値を調整したとき、p型MOSトランジスタQ2の動作点が遷移する様子を、可変電流源CS11がQ2のドレイン端子に接続されていない場合と接続されている場合で比較する。

[0029] 可変電流源CS11がp型MOSトランジスタQ2のドレイン端子に接続されていない場合においては、制御電圧 V_{t10} を十分小さな値から大きくしていくと、Q2の動作点はS5からS1に向かって移動する。そして、ノードN1の直流電圧VN1と V_{ref} が等しい状態になったとき、Q2の動作点はS1に到達する。この状態からさらに制御電圧 V_{t10} を大きくすると、Q2の動作点はS9に向かって移動し、三極管領域に入る。このことは、Q2の動作点が所望の領域の外に出たことを意味し、電圧・電流変換の線形性を劣化させることになる。

[0030] 可変電流源CS11がp型MOSトランジスタQ2のドレイン端子に接続されている場

合においては、制御電圧 V_{t10} を十分小さな値から大きくしていくと、Q2の動作点はS5からS1に向かって移動する。そして、ノードN1の直流電圧 V_{N1} と V_{ref} が等しい状態になったとき、Q2の動作点はS1に到達する。さらに、制御電圧 V_{t10} を大きくすると、CS11からQ1にバイアス電流が供給されるようになるため、Q2のバイアス電流は以降増加せず、一定となる。このことは、Q2の動作点が、S1以降S4に向かって、飽和領域内を移動することを意味する。このことは、 G_m 値の広い調整範囲にわたって、Q2の動作点が飽和領域に維持されることを意味し、電圧・電流変換の線形性は高く保たれることになる。

[0031] 以上のことから、本実施形態の利得可変、電圧・電流変換回路は、広い G_m 値調整範囲にわたって線形性の高い動作が可能になる。

[0032] (第1の実施例)

図4は、図3の回路図をさらに具体的に示した、本発明の第1の実施例を示す回路図である。図4において、電圧比較器1に対応する回路には、n型MOSトランジスタQ1、p型MOSトランジスタQ2およびQ5、n型MOSトランジスタQ11、p型MOSトランジスタQ12およびQ15、オペアンプOA11が用いられている。オペアンプOA12のプラス(+)入力端子に参照電圧 V_{ref1} が入力され、マイナス(-)入力端子にp型MOSトランジスタQ12のゲート端子が接続され、オペアンプOA12の出力端子にはp型MOSトランジスタQ15のゲート端子が接続されている。オペアンプOA12の出力端子は、p型MOSトランジスタQ5のゲート端子に接続されている。

[0033] オペアンプOA12の出力端子は、ノードN12のバイアス電位 V_{N12} が参照電圧 V_{ref1} を上回る状態のときにはハイレベル信号を出力する。その結果、オペアンプOA12の出力端子に接続されたp型MOSトランジスタQ5とQ15はオフ状態になる。また、オペアンプOA12の出力端子は、ノードN12の電位 V_{N12} が参照電圧 V_{ref1} の値よりも小さくなると、電位 V_{N12} が参照電圧 V_{ref1} に等しくなるように、p型MOSトランジスタQ15のゲート端子に電圧信号を出力し、n型MOSトランジスタQ11のバイアス電流を調整する。このオペアンプOA12の出力端子の電圧信号はp型MOSトランジスタQ5のゲート端子にも入力され、ノードN2のバイアス電位 V_{N2} は、バイアス電位 V_{N12} と等しくなる。したがって、制御電圧 V_{t10} により G_m 値の調整を行っても、バイア

ス電位 V_{N2} は、参照電圧 V_{ref1} を下回ることではなく、制御電圧 V_{t10} の広い調整範囲にわたって、p型MOSTランジスタQ2は飽和領域で動作できる。以上により、本実施例による利得可変電圧・電流変換回路は、 G_m 値の広い調整範囲にわたって線形性の高い動作が可能になる。

[0034] (第2の実施形態)

図5は、本発明の第2の実施形態を示す回路図である。n型MOSTランジスタQ1、p型MOSTランジスタQ2およびQ3、可変電流源CS21は、図3と同様の素子である。

[0035] 本実施形態では、電圧・電流変換を行う入力部能動素子としてn型MOSTランジスタQ1が用いられ、電位制御回路としてn型MOSTランジスタQ4、可変電流源CS21、p型MOSTランジスタQ2が用いられる。

[0036] n型MOSTランジスタQ4のソース端子はn型MOSTランジスタQ1のドレイン端子に接続され、n型MOSTランジスタQ4のドレイン端子は定電流源CS22に接続され、p型MOSTランジスタQ2のゲート端子はn型MOSTランジスタQ4のドレイン端子に接続されている。電流補償回路として、可変電流源CS21が用いられる。出力部能動素子として、p型MOSTランジスタQ3が用いられる。p型MOSTランジスタQ3は、そのゲート端子がQ2のゲート端子に接続され、p型MOSTランジスタQ2と同じサイズパラメータを持つ。n型MOSTランジスタQ1のゲート端子に入力される入力電圧には、n型MOSTランジスタQ1の動作点を三極管領域にバイアスする直流電圧成分が含まれる。

[0037] 飽和領域にあるn型MOSTランジスタQ4のゲート端子に制御電圧 V_{t20} が入力されると、n型MOSTランジスタQ4のドレイン・ソース間電流 I_{ds} は、定電流源CS22から供給される電流 I となるため、電位 V_{N21} は式(3)から一意的に決定される。n型MOSTランジスタQ1のゲート電圧が変動して、電位 V_{N21} が式(3)により求められた値より高い値になると、n型MOSTランジスタQ4のゲート・ソース間電圧は小さくなり、n型MOSTランジスタQ4の反転増幅作用でノードN22の電位 V_{N22} は上昇する。電位 V_{N22} は、p型MOSTランジスタQ2のゲート電圧であるため、p型MOSTランジスタQ2の反転増幅作用により、 V_{N21} の電位は低い電位に引き戻される。

- [0038] 逆に、電位VN21が式(3)により求められた値より低い値になると、同様の原理が逆に作用して、電位VN21の電位は高い電位に引き上げられる。結局、電位VN21は、式(3)と V_{t20} とから決定される値に固定される。したがって、式(2)で表わされるn型MOSTランジスタQ1のドレイン・ソース間電圧 V_{ds} は、n型MOSTランジスタQ1のゲート入力電圧に対応するので、n型MOSTランジスタQ1の電圧・電流変換特性は、高い線形性を有する。また、制御電圧 V_{t20} により、電位VN21の調整が可能であるので、式(2)の V_{ds} に電位VN21を代入した式にしたがって、n型MOSTランジスタQ1の G_m 値を調整できる。
- [0039] 電位VN21が固定された状態において、n型MOSTランジスタQ1のゲート端子に入力された電圧信号は、式(1)に基づいてn型MOSTランジスタQ1の電流信号に変換される。n型MOSTランジスタQ1の電流信号は、p型MOSTランジスタQ2とn型MOSTランジスタQ4で構成された帰還回路内部にて、ノードN22の電圧信号に変換されたのち、p型MOSTランジスタQ3の電流信号 I_{out} として出力される。p型MOSTランジスタQ2とQ3のMOSTランジスタのサイズパラメータは等しいため、n型MOSTランジスタQ1の電流信号と電流信号 I_{out} は等しい。したがって、本実施形態の電圧・電流変換特性は、n型MOSTランジスタQ1の電圧・電流変換特性と等しく、高い線形性を有する。
- [0040] また、制御電圧 V_{t20} を変化させることで、電位VN21を制御できるので、n型MOSTランジスタQ1の G_m 値の調整ができる。また、n型MOSTランジスタQ1の電流信号と電流信号 I_{out} は等しい。したがって、制御電圧 V_{t20} により、本実施形態の G_m 値を調整することができる。
- [0041] G_m 値を高く設定するために、 V_{t20} を上げると、電位VN21が上昇する。式(1)の V_{ds} に電位VN21を代入すると、n型MOSTランジスタQ1のバイアス電流は増加する。この増加分に対応するために、p型MOSTランジスタQ2とn型MOSTランジスタQ4により構成された帰還回路が、内部ノードN22の直流電圧成分VN22の電圧を下げて、p型MOSTランジスタQ2のバイアス電流を増加させる。内部ノードN22の直流電圧成分VN22が外部参照電圧 V_{ref2} に等しくなるまで下がると、以降のp型MOSTランジスタQ2のバイアス電流増加分は、可変電流源CS21からn型MOSTランジ

スタQ1に供給されるように、電圧比較器2(51)から可変電流源CS21に信号が出力される。この回路により、Gm値を高く調整しても、内部ノードN22の直流電圧成分V_{N22}は、V_{ref2}より低い電圧にはならない。

[0042] したがって、n型MOSTランジスタQ4の動作点は、制御電圧V_{t20}の広い調整範囲にわたって飽和領域に維持される。このことは、n型MOSTランジスタQ4の動作点が三極管領域に遷移して本実施形態の線形性が劣化する現象を避けられることを意味している。以上から、本実施形態の利得可変、電圧・電流変換回路は、Gm値の広い調整範囲にわたって、線形性の高い動作が可能になる。

[0043] (第2の実施例)

図6は、図5の回路図をさらに具体的に示した、本発明の第2の実施例を示す回路図である。

[0044] 図6において、図5の電圧比較器2に対応する回路には、n型MOSTランジスタQ21、p型MOSTランジスタQ22、n型MOSTランジスタQ24、p型MOSTランジスタQ25等が用いられる。

[0045] オペアンプOA21のプラス(+)入力端子に参照電圧V_{ref2}が入力され、マイナス(-)入力端子にp型MOSTランジスタQ25のゲート端子が接続され、オペアンプOA21の出力端子にはp型MOSTランジスタQ25のゲート端子が接続されている。オペアンプOA21の出力端子は、電圧比較器2の出力端子になり、p型MOSTランジスタQ5のゲート端子に接続される。また、図5の定電流源CS22に相当する素子として、p型MOSTランジスタQ6が用いられる。p型MOSTランジスタQ6のゲート端子にバイアス電圧V_{b21}が入力される。電圧比較器2の回路内には、p型MOSTランジスタQ6に対応したp型MOSTランジスタQ26が用いられる。

[0046] オペアンプOA21の出力端子は、ノードN24の電位V_{N24}がV_{ref2}を上回る値になった場合にはハイレベル信号を出力し、p型MOSTランジスタQ5とQ25をオフ状態とする。また、n型MOSTランジスタQ21のバイアス電流値が小さくなり、電位V_{N24}が参照電圧V_{ref2}よりも小さくなると、オペアンプOA21の出力端子からp型MOSTランジスタQ25のゲート端子に、電位V_{N24}が参照電圧V_{ref2}に等しくなるように、電圧信号を出力する。このオペアンプOA21の出力端子からの電圧信号はp型MOST

ランジスタQ5のゲート端子にも入力され、ノード21のバイアス電位VN21は、電位VN24と等しくなる。すなわち、制御電圧Vt20を使用してGm値の調整を行っても、電位VN21のバイアス電位は、参照電圧Vref2を下回ることはない。したがって、制御電圧Vt21の広い調整範囲にわたって、n型MOSTランジスタQ4は飽和領域で動作が可能となる。以上により、本実施例は、Gm値の広い調整範囲にわたって、線形性の高い電圧・電流変換動作が可能になる。

[0047] (第3の実施形態)

図7は、本発明の第3の実施形態を示す回路図である。第3の実施形態を示す回路は、n型MOSTランジスタQ1およびQ4、p型MOSTランジスタQ2およびQ3、可変電流源CS31、定電流源CS32、利得GAが1より十分大きな増幅器Aを含む。

[0048] 本実施形態では、電圧・電流変換を行う入力部能動素子としてn型MOSTランジスタQ1が用いられる。また、電位制御回路としてn型MOSTランジスタQ1、定電流源CS32、増幅器A、p型MOSTランジスタQ2が用いられる。

[0049] n型MOSTランジスタQ4のソース端子はn型MOSTランジスタQ1のドレイン端子に接続され、定電流源CS32はn型MOSTランジスタQ4のドレイン端子と増幅器Aの入力端子に接続され、p型MOSTランジスタQ2のゲート端子は増幅器Aの出力端子に接続され、p型MOSTランジスタQ2のドレイン端子はn型MOSTランジスタのQ1のドレイン端子に接続されている。

[0050] 電流補償回路として可変電流源CS31が用いられ、出力部能動素子としてp型MOSTランジスタQ3が用いられる。p型MOSTランジスタQ3のゲート端子はp型MOSTランジスタQ2のゲート端子に接続されている。p型MOSTランジスタQ2およびQ3は、同じサイズパラメータを持っている。n型MOSTランジスタQ1のゲート端子に入力される外部信号には、Q1の動作点を三極管領域にバイアスする直流電圧成分が含まれている。

[0051] 増幅器Aの利得をGAとすると、ノードN32の交流電圧信号成分VN32_ACとノードN33の交流電圧信号成分VN33_ACの間には、次の式が成立する。

[0052] [数4]

$$V_{N33_AC} = \frac{V_{N32_AC}}{G_A} \quad (4)$$

この式から、増幅器Aの利得 G_A が1の場合、 V_{N32_AC} と V_{N33_AC} は等しくなるため、この場合の本実施形態は、第2の実施形態と等価となる。しかし、増幅器Aの利得 G_A が1より十分大きい場合の本実施形態では、 V_{N33_AC} の電圧は小さく圧縮されるため、n型MOSTランジスタQ4で発生する信号歪は第2の実施形態よりも小さい。したがって、本実施形態は、第2の実施形態よりも、n型MOSTランジスタQ4から発生する歪を低減でき、 G_m 値の広い調整範囲にわたって、電圧・電流変換特性の線形性が高い動作が可能となる。

[0053] (第3の実施例)

図8は、図7の回路図をさらに具体的に示した、本発明の第3の実施例を示す回路図である。

[0054] 図8において、図6と同一の部分には、同一の参照符号が付されている。図6に示した第2の実施例においては、p型MOSTランジスタQ2とQ3のゲート端子は、n型MOSTランジスタQ4のドレイン端子に接続されている。しかし、本実施例においては、p型MOSTランジスタQ2とQ3のゲート端子は、p型MOSTランジスタQ9のドレイン端子とn型MOSTランジスタQ10のドレイン端子を接続して構成したインバータ回路部INV-Bの出力端子に接続される。インバータ回路部INV-Bの入力端子であるn型MOSTランジスタQ10のゲート端子は、p型MOSTランジスタQ7のドレイン端子とn型MOSTランジスタQ8のドレイン端子を接続して構成したインバータ回路部INV-Aの出力端子に接続される。インバータ回路部INV-Aの入力端子であるp型MOSTランジスタQ7のゲート端子はn型MOSTランジスタQ4のドレイン端子に接続された構成となっている。

[0055] 2つのインバータ回路部であるINV-AとINV-Bは、図8に示したバイアス回路のn型MOSTランジスタQ38のゲート端子とドレイン端子を接続したノードの電圧をn型MOSTランジスタQ8のゲート端子に入力し、p型MOSTランジスタQ39のゲート端子とドレイン端子を接続したノードの電圧をp型MOSTランジスタQ9のゲート端子に入

力することで、増幅器として機能する。インバータ回路部INV-Aとインバータ回路部INV-Bで構成される増幅器の利得をGAとすると、n型MOSTランジスタQ1に入力された電圧信号は、n型MOSTランジスタQ4のドレイン端子であるノードN33において、第2の実施例の場合と比較すると、電圧信号振幅が $1/GA$ に減衰された電圧信号となる。このため、ノードN33の電圧VN33は、大きな電圧信号Vinがn型MOSTランジスタQ1に入力されても振幅値は $1/GA$ 倍となる。したがって、n型MOSTランジスタQ4およびp型MOSTランジスタQ6を、飽和領域において安定した動作をさせることが可能となり、本実施例の電圧・電流変換回路の線形性を高く保つことができる。

[0056] (第4の実施形態)

図9Aは、本発明の第4の実施形態を示す回路図である。n型MOSTランジスタQ1、p型MOSTランジスタQ2およびQ3、オペアンプOA1は、図3と同様の素子である。本実施形態では、電圧・電流変換を行う入力部能動素子としてn型MOSTランジスタQ1が用いられる。この入力部能動素子の出力端子に接続された電位制御回路として、オペアンプOA1とp型MOSTランジスタQ2が用いられる。p型MOSTランジスタQ2のゲート端子はオペアンプOA1の出力端子に接続され、p型MOSTランジスタQ2のドレイン端子はn型MOSTランジスタQ1のドレイン端子に接続される。また、出力部電圧・電流変換回路としてp型MOSTランジスタQ3が用いられる。p型MOSTランジスタQ3のゲート端子は、p型MOSTランジスタQ2のゲート端子に接続される。

[0057] p型MOSTランジスタQ41およびQ42のゲート端子がp型MOSTランジスタQ2のゲート端子に接続される。スイッチ回路SW1の入出力端子T11がp型MOSTランジスタQ41のドレイン端子に接続され、スイッチ回路SW2の入出力端子T21がp型MOSTランジスタQ42のドレイン端子に接続される。

[0058] p型MOSTランジスタQ43およびQ44のゲート端子がp型MOSTランジスタQ3のゲート端子に接続される。スイッチ回路SW3の入出力端子T31がp型MOSTランジスタQ43のドレイン端子に接続され、スイッチ回路SW4の入出力端子T41がp型MOSTランジスタQ44のドレイン端子に接続される。

[0059] 制御回路1(91)は、スイッチ回路SW1の制御端子T13とスイッチ回路SW3の制御

端子T33に接続される。制御回路2(92)は、スイッチ回路SW2の制御端子T43とスイッチ回路SW3の制御端子T23に接続される。

- [0060] n型MOSTランジスタQ1のバイアス電流I1bが制御電流IA以下のときには、制御信号回路1からスイッチ回路SW1の制御端子T13とスイッチ回路SW3の制御端子T33にスイッチ回路オフ信号が出力される。n型MOSTランジスタQ1のバイアス電流I1bが制御電流IA以上のときには、制御信号回路1からスイッチ回路SW1の制御端子T13とスイッチ回路SW3の制御端子T33にスイッチ回路オン信号が出力される。
- [0061] 同様に、n型MOSTランジスタQ1のバイアス電流I1bが制御電流IB以下のときには、制御信号回路2からスイッチ回路SW2の制御端子T43とスイッチ回路SW4の制御端子T43にスイッチ回路オフ信号が出力される。n型MOSTランジスタQ1のバイアス電流I1bが制御電流IB以上のときには、制御信号回路1からスイッチ回路SW2の制御端子T23とスイッチ回路SW4の制御端子T43にスイッチ回路オン信号が出力される。
- [0062] 本実施形態においては、スイッチ回路SW1からSW4がすべてオフ状態の場合には、第2の従来例の回路と同様の動作をする。すなわち、制御電圧Vt40を調整することで、ノードN41の電位VN41が調整され、Gm値が調整される。
- [0063] 次に、制御電圧Vt40が変化した場合の回路動作を説明する。制御電圧Vt40が接地電圧に近い十分小さい場合において、バイアス電流I1bが制御電流IAより小さい場合には、スイッチ回路SW1からSW4がすべてオフ状態になる。この場合は、n型MOSTランジスタQ1に入力される電圧信号Vinは、第2の従来例の場合と同様に、n型MOSTランジスタQ1の電流信号、p型MOSTランジスタQ2のゲート電圧信号、p型MOSTランジスタQ3の電流信号Ioutの順に伝達される。
- [0064] 制御電圧Vt40を上げて、バイアス電流I1bが制御電流IAとIBの間に調整された場合には、スイッチ回路SW1とスイッチ回路SW3がオン状態になり、p型MOSTランジスタQ2およびQ41はゲート端子、ソース端子、ドレイン端子が互いに接続された構成をとるので、並列動作をする。また、p型MOSTランジスタQ3およびQ43もゲート端子、ソース端子、ドレイン端子が互いに接続された構成をとるので、並列動作をする。

[0065] さらに制御電圧 V_{t40} を上げて、バイアス電流 I_{1b} が制御電流 I_B より高くなると、スイッチ回路 $SW1$ から $SW4$ はすべてオン状態となり、p型MOSTランジスタ $Q2$ 、 $Q41$ 、 $Q42$ は、ゲート端子、ソース端子、ドレイン端子が互いに接続された構成をとり、並列動作をする。また、p型MOSTランジスタ $Q3$ 、 $Q43$ 、 $Q44$ も、ゲート端子、ソース端子、ドレイン端子が互いに接続された構成をとり、並列動作をする。

[0066] n型MOSTランジスタ $Q1$ およびp型MOSTランジスタ $Q2$ 、 $Q41$ 、 $Q42$ に流れるそれぞれのバイアス電流 I_{1b} 、 I_{2b} 、 I_{41b} 、 I_{42b} には、下の式が成立する。

[0067] [数5]

$$I_{1b} = I_{2b} + I_{41b} + I_{42b} \quad (5)$$

バイアス電流 I_{1b} が制御電流 I_A より小さい状態では、スイッチ回路 $SW1$ から $SW4$ はすべてオフ状態であるため、バイアス電流 I_{1b} はバイアス電流 I_{2b} と等しくなる。バイアス電流 I_{1b} が制御電流 I_A と I_B の間の場合には、スイッチ回路 $SW1$ がオン状態に変化し、バイアス電流 I_{2b} はバイアス電流 I_{1b} からバイアス電流 I_{41b} を差し引いた値になる。バイアス電流 I_{1b} がバイアス電流 I_B より高い値になるとスイッチ回路 $SW1$ および $SW3$ がオン状態となり、バイアス電流 I_{2b} は、バイアス電流 I_{1b} からバイアス電流 I_{41b} とバイアス電流 I_{42b} を差し引いた値となる。バイアス電流 I_{2b} によって発生するノード $N42$ における電圧 V_{N42} と制御電圧 V_{t40} との関係を図9Bに示す。ノード $N42$ における電圧 V_{N42} は、制御電圧 V_{t40} の広い調整範囲にわたって、電圧値の減少が抑えられた特性を持つことがわかる。

[0068] すなわち、p型MOSTランジスタ $Q2$ のゲート・ソース間電圧の絶対値は小さく保たれることになり、p型MOSTランジスタ $Q2$ の動作点は、飽和領域に維持される。したがって、本実施形態は、広い G_m 値調整範囲にわたって、電圧信号 V_{in} と出力電流 I_{out} で線形性の高い動作が可能になる。

[0069] (第4の実施例)

図10は、図9Aの回路図をさらに具体的に示した、本発明の第4の実施例を示す回路図である。

[0070] 図10において、図4と同一の部分には、同一の参照符号が付されている。本実施

例では、第4の実施形態にあるスイッチ回路SW1、SW2、SW3、SW4をそれぞれn型MOSTランジスタQS1、QS2、QS3、QS4に置き換えた。n型MOSTランジスタQS1とQS3の制御端子であるゲート端子には、オペアンプOA43の出力端子が接続される。n型MOSTランジスタQS2とQS4の制御端子であるゲート端子は、オペアンプOA44の出力端子が接続される。オペアンプOA43のマイナス(−)入力端子とオペアンプOA44のマイナス(−)入力端子には参照電圧Vref41が入力される。オペアンプOA43のプラス(+)入力端子には、p型MOSTランジスタQ47のゲート端子が接続される。オペアンプOA44のプラス(+)入力端子には、p型MOSTランジスタQ48のゲート端子が接続される。n型MOSTランジスタQ45、p型MOSTランジスタQ47、オペアンプOA45は、それぞれn型MOSTランジスタQ1、p型MOSTランジスタQ2、オペアンプOA1に対応した素子である。n型MOSTランジスタQ46、p型MOSTランジスタQ48、p型MOSTランジスタQ49、n型MOSTランジスタQS41、オペアンプOA46は、それぞれn型MOSTランジスタQ1、p型MOSTランジスタQ2、p型MOSTランジスタQ41、n型MOSTランジスタQS1、オペアンプOA1に対応した素子である。

- [0071] オペアンプOA1、OA45、OA46のプラス(+)入力端子には、制御電圧Vt40が接続されている。n型MOSTランジスタQ45およびQ46のゲート端子には、それぞれ直流電圧信号Vinb41が入力されている。n型MOSTランジスタQS41のゲート端子には、ハイレベル信号である直流電圧信号VDDが入力されている。
- [0072] 制御電圧Vt40を接地電圧から上昇させる。制御電圧Vt40が十分小さい値の場合は、n型MOSTランジスタQS1、QS2、QS3、QS4は、すべてオフ状態にあるので、ノードN42の直流電圧成分VN42とノードN43の直流電圧成分VN43は等しい値である。また、ノードN44の直流電圧成分VN44は、直流電圧成分VN42およびVN43よりも高い電圧である。さらに、制御電圧Vt40を上げると、直流電圧成分VN42とVN43が同時に参照電圧Vref41を下回る。この場合、n型MOSTランジスタQS1およびQS3はオン状態に遷移するので、ノードN42の直流電圧成分VN42は上昇し、直流電圧成分VN44と等しい値となる。さらに制御電圧Vt40を上昇させると、次に、直流電圧成分VN42とVN44が同時に参照電圧Vref41を下回る。この場合、n型MO

ストランジスタQS2およびQS4はオン状態に遷移し、直流電圧成分VN42は上昇する。したがって、直流電圧成分VN42は、制御電圧Vt40の広い調整範囲にわたって参照電圧Vref41の値以上となる。したがって、p型MOSTランジスタQ2の動作点は飽和領域内に保たれるので、本実施例の電圧・電流変換の線形性を高く保つことができる。

[0073] (第5の実施形態)

図11は、本発明の第5の実施形態を示す回路図である。n型MOSTランジスタQ1、p型MOSTランジスタQ2およびQ3、オペアンプOA1は、図9の対応する番号の素子と同様の素子である。図11のp型MOSTランジスタQ51、Q52、Q53、Q54は、それぞれ図9のp型MOSTランジスタQ41、Q42、Q43、Q44と同様の素子である。

[0074] 本実施形態では、電圧・電流変換を行う入力部能動素子としてオペアンプOA1が用いられ、電位制御回路としてp型MOSTランジスタQ2が用いられる。p型MOSTランジスタQ2のゲート端子はオペアンプOA1の出力端子に接続され、p型MOSTランジスタQ2のドレイン端子はn型MOSTランジスタQ1のドレイン端子に接続されている。

[0075] 出力部電圧・電流変換回路としてp型MOSTランジスタQ3が用いられる。p型MOSTランジスタQ3のゲート端子は、p型MOSTランジスタQ2のゲート端子に接続されている。p型MOSTランジスタQ2のドレイン端子は、p型MOSTランジスタQ51およびQ52のドレイン端子に接続されている。p型MOSTランジスタQ3のドレイン端子は、p型MOSTランジスタQ53およびQ54のドレイン端子に接続されている。スイッチ回路SW51の入出力端子1はp型MOSTランジスタQ51のゲート端子とp型MOSTランジスタQ53のゲート端子に接続されている。スイッチ回路SW51の入出力端子2はp型MOSTランジスタQ2のゲート端子に接続され、入出力端子3は電源電圧Vに接続されている。スイッチ回路SW52の入出力端子4はp型MOSTランジスタQ52のゲート端子とp型MOSTランジスタQ54のゲート端子に接続されている。スイッチ回路SW52の入出力端子5はp型MOSTランジスタQ2のゲート端子に接続され、入出力端子6は電源電圧Vに接続されている。

[0076] 制御回路3(111)の出力端子はスイッチ回路SW51の制御端子7に接続され、制

御回路4(112)の出力端子はスイッチ回路SW52の制御端子8に接続されている。

[0077] n型MOSTランジスタQ1のバイアス電流I1bが制御回路3に入力される電流IA5以下のときには、スイッチ回路SW51の制御端子7に、入出力端子2と3を接続するように制御回路3から制御信号VC3が出力される。n型MOSTランジスタQ1のバイアス電流I1bが制御回路3に入力される電流IA5以上になると、スイッチ回路SW51の制御端子7に、入出力端子1と2を接続するように制御信号回路3から制御信号VC3が出力される。

[0078] n型MOSTランジスタQ1のバイアス電流I1bが制御回路4に入力される電流IB5以下のときには、スイッチ回路SW52の制御端子8に、入出力端子5と6を接続するように制御回路4から制御信号VC4が出力される。n型MOSTランジスタQ1のバイアス電流I1bが制御回路4に入力される電流IB5以上になると、スイッチ回路SW52の制御端子8に、入出力端子4と5を接続するように制御回路4から制御信号VC4が出力される。

[0079] 本実施形態においては、スイッチ回路がすべてオフ状態の場合には、図2の第2の従来例の回路と同様の動作をする。すなわち、制御電圧Vt50を調整することで、ノードN51の電位VN51が調整され、その結果Gm値が調整される。

[0080] 制御電圧Vt50が十分小さく、n型MOSTランジスタQ1のバイアス電流I1bが制御回路3に入力される電流IA5より小さい場合には、スイッチ回路Q51からQ54はすべてオフ状態になるので、n型MOSTランジスタQ1に入力された電圧信号Vinは、n型MOSTランジスタQ1のソース・ドレイン間の電流信号、p型MOSTランジスタQ2のゲート電圧信号、p型MOSTランジスタQ3の電流信号Ioutの順に伝達される。

[0081] 制御電圧Vt50を上げて、n型MOSTランジスタQ1のバイアス電流I1bが電流IA5と電流IB5の間に調整された場合には、スイッチ回路SW51の入出力端子1と2が接続され、p型MOSTランジスタQ2とQ51は、ゲート端子、ソース端子、ドレイン端子が互いに接続された構成となり、並列動作をする。また、p型MOSTランジスタQ3とQ53も、ゲート端子、ソース端子、ドレイン端子が互いに接続された構成となり、並列動作をする。

[0082] 制御電圧Vt50をさらに上げてn型MOSTランジスタQ1のバイアス電流I1bが電流I

5Bより高い値になるように調整されると、さらにスイッチ回路SW52の入出力端子4と5が接続される。その結果、p型MOSTランジスタQ2、Q51、Q52も、ゲート端子、ソース端子、ドレイン端子が互いに接続された構成となるため、並列動作をする。また、p型MOSTランジスタQ3、Q53、Q54は、ゲート端子、ソース端子、ドレイン端子が互いに接続された構成となり、並列動作をする。

[0083] n型MOSTランジスタQ1と、p型MOSTランジスタQ2、Q51、Q52とに流れるバイアス電流には、式(6)が成立する。

[0084] [数6]

$$I_{1b} = I_{2b} + I_{51b} + I_{52b} \quad (6)$$

n型MOSTランジスタQ1のバイアス電流I1bが電流IA5より小さい状態では、スイッチ回路SW51およびSW52はオフ状態であるため、p型MOSTランジスタQ2のバイアス電流I2bはn型MOSTランジスタQ1のバイアス電流I1bと等しくなる。

[0085] n型MOSTランジスタQ1のバイアス電流I1bが電流IA5と電流IB5の間に調整された場合は、スイッチ回路SW51の入出力端子1と2が接続され、p型MOSTランジスタQ2のバイアス電流I2bはn型MOSTランジスタQ1のバイアス電流I1bからn型MOSTランジスタQ51のバイアス電流I51bを差し引いた値になる。

[0086] n型MOSTランジスタQ1のバイアス電流I1bが電流IB5より高くなると、さらにスイッチ回路SW52の入出力端子4と5が接続され、p型MOSTランジスタQ2のバイアス電流I2bは、n型MOSTランジスタQ1のバイアス電流I1bからn型MOSTランジスタQ51のバイアス電流I51bとp型MOSTランジスタQ52のバイアス電流I52bを差し引いた値となる。

[0087] p型MOSTランジスタQ2のバイアス電流I2bと連動するノードN51の電位VN51と制御電圧Vt50の関係は、第4の実施形態の図9Bに示される電位VN42と制御電圧Vt40の関係と同様に変化する。ノードN51の電位VN51に連動するp型MOSTランジスタQ2のバイアス電流I2bは、制御電圧Vt50の広い調整範囲にわたって、増加が抑えられた特性を持つ。このことは、p型MOSTランジスタQ2のゲート・ソース間電

圧の絶対値は小さく保たれることを意味しており、p型MOSTランジスタQ2の動作点は、飽和領域に維持される。したがって、p型MOSTランジスタQ2の動作点が、飽和領域から三極管領域に遷移にことによる線形性劣化は制御電圧 V_{t50} の広い調整範囲にわたって発生せず、本実施形態によれば、広い G_m 値調整範囲にわたって、電圧・電流変換の線形性を高く保つことができる。

[0088] (第5の実施例)

図12は、図11の回路図をさらに具体的に示した、本発明の第5の実施例を示す回路図である。

[0089] 図12において、図10と同一の部分には、同一の参照符号が付されている。

[0090] 本実施例では、図11のスイッチ回路SW51に相当する素子を、n型MOSTランジスタQS5とp型MOSTランジスタQS6で構成している。n型MOSTランジスタQS5のゲート端子とp型MOSTランジスタQS6のゲート端子を接続して制御端子SWC3とし、n型MOSTランジスタQS5のドレイン端子とp型MOSTランジスタQS6のドレイン端子を接続して入出力端子SWT31とし、n型MOSTランジスタQS5のソース端子を入出力端子SWT32としている。また、p型MOSTランジスタQS6のソース端子は電源電圧Vに接続されている。

[0091] また、図11のスイッチ回路SW52に相当する素子を、n型MOSTランジスタQS7と、p型MOSTランジスタQS8で構成している。n型MOSTランジスタQS7のゲート端子とp型MOSTランジスタQS8のゲート端子を接続して制御端子SWC4とし、n型MOSTランジスタQS7のドレイン端子とp型MOSTランジスタQS8のドレイン端子を接続して入出力端子SWT41とし、n型MOSTランジスタQS7のソース端子を入出力端子SWT42としている。また、p型MOSTランジスタQS8のソース端子は電源電圧Vに接続されている。

[0092] n型MOSTランジスタQS5のゲート端子とp型MOSTランジスタQS6のゲート端子は、オペアンプOA53の出力端子に接続され、n型MOSTランジスタQS7のゲート端子とp型MOSTランジスタQS8のゲート端子は、オペアンプOA54の出力端子に接続されている。

[0093] オペアンプOA53とオペアンプOA54のマイナス(−)入力端子には参照電圧 V_{ref}

51が入力され、オペアンプOA53のプラス(+)入力端子には、p型MOSTランジスタQ57のゲート端子が接続されている。n型MOSTランジスタQ55、p型MOSTランジスタQ57、オペアンプOA55は、それぞれn型MOSTランジスタQ1、p型MOSTランジスタQ2、オペアンプOA1に対応した素子であり、複製回路を構成する。

[0094] オペアンプOA54のプラス(+)入力端子には、p型MOSTランジスタQ57のゲート端子が接続されている。n型MOSTランジスタQ56およびQS8、p型MOSTランジスタQ58およびQ59、オペアンプOA56は、それぞれn型MOSTランジスタQ1およびQS5、p型MOSTランジスタQ2およびQ51、オペアンプOA1に対応した素子である。オペアンプOA1、OA55、OA56のプラス(+)入力端子には、制御電圧 V_{t50} が入力されている。

[0095] n型MOSTランジスタQ55およびQ56のゲート端子には、直流信号 V_{inb51} が入力されている。

[0096] 制御電圧 V_{t50} が接地電圧に近く、十分小さい値の場合には、ノードN55およびN56の電位 V_{N55} および V_{N56} は V_{ref51} より大きく、オペアンプOA53およびオペアンプOA54の出力電圧はローレベル出力となる。その結果、n型MOSTランジスタQS5およびQS7はオフ状態となり、p型MOSTランジスタQS6およびQS8はオン状態となる。その結果、p型MOSTランジスタQ51、Q52、Q53、Q54のそれぞれのゲート端子が電源電圧 V に接続されるので、p型MOSTランジスタQ51、Q52、Q53、Q54はオフ状態となる。なお、ノードN52の直流電圧 V_{N52} と、ノードN55の直流電圧 V_{N55} は等しく、ノードN56の直流電圧成分 V_{N56} は V_{N52} と V_{N55} よりも十分高い電圧値である。

[0097] さらに、制御電圧 V_{t50} を上昇させると、 V_{N52} と V_{N55} は等しい値のまま、同時に参照電圧 V_{ref51} を下回る。この場合、オペアンプOA53の出力電位はハイレベルになる。その結果、n型MOSTランジスタQS5はオン状態になり、p型MOSTランジスタQS6はオフ状態になるので、 V_{N52} は上昇し、 V_{N56} と等しい値となる。

[0098] さらに、制御電圧 V_{t50} を上昇させると、 V_{N52} と V_{N56} が同時に参照電圧 V_{ref51} を下回る。この場合、n型MOSTランジスタQS7はオン状態に、p型MOSTランジスタQS8はオフ状態になるので、 V_{N52} は、上昇する。したがって、 V_{N52} は、制御電圧

Vt50の広い調整範囲にわたって参照電圧Vref51以上となるので、p型MOSトランジスタQ2の動作点は飽和領域を保たれ、本実施例の電圧・電流変換回路の線形性は高く保たれる。

[0099] (第6の実施形態)

図13Aは、本発明の第6の実施形態を示す回路図であり、図13Bは、図13Aに示された利得可変電圧・電流変換回路gm1からgm4(131から134)の詳細な回路図である。第6の実施形態の利得可変電圧・電流変換回路には、図4に示した第1の実施例の利得可変電圧・電流変換回路を用い、これらと容量素子C1およびC2を用いることにより、広帯域幅可変2次ローパスフィルタ回路を構成した。このフィルタ回路の伝達関数を式(7)に示す。

[0100] [数7]

$$F(S) = \frac{\frac{gm_1 \cdot gm_3}{C_1 \cdot C_2}}{S^2 + \frac{gm_2}{C_1} S + \frac{gm_3 \cdot gm_4}{C_1 \cdot C_2}} \quad (7)$$

制御電圧Vt60を制御して、4つのgmアンプ(gm1からgm4)の利得をA倍すると、伝達関数は、

[0101] [数8]

$$\begin{aligned} & \frac{\frac{A \cdot gm_1 \cdot A \cdot gm_3}{C_1 \cdot C_2}}{S^2 + \frac{A \cdot gm_2}{C_1} S + \frac{A \cdot gm_3 \cdot A \cdot gm_4}{C_1 \cdot C_2}} \\ &= \frac{\frac{gm_1 \cdot gm_3}{C_1 \cdot C_2}}{\left(\frac{S}{A}\right)^2 + \frac{gm_2}{C_1} \cdot \frac{S}{A} + \frac{gm_3 \cdot gm_4}{C_1 \cdot C_2}} = F\left(\frac{S}{A}\right) \end{aligned} \quad (8)$$

となり、新たな伝達関数は、元の伝達関数に対して、周波数軸に関してA倍にスケー

リングされることがわかる。すなわち、新たな伝達関数の帯域幅が元の伝達関数の周波数帯域幅のA倍になったことがわかる。この様子を図14に示す。

[0102] 以上の実施形態および実施例では、すべてのn型MOSTランジスタをp型MOSTランジスタに、すべてのp型MOSTランジスタをn型MOSTランジスタに変えて用いることができる。さらに、これらの素子をバイポーラトランジスタ、MES型FETなど任意の能動素子に変更して用いることもできる。

請求の範囲

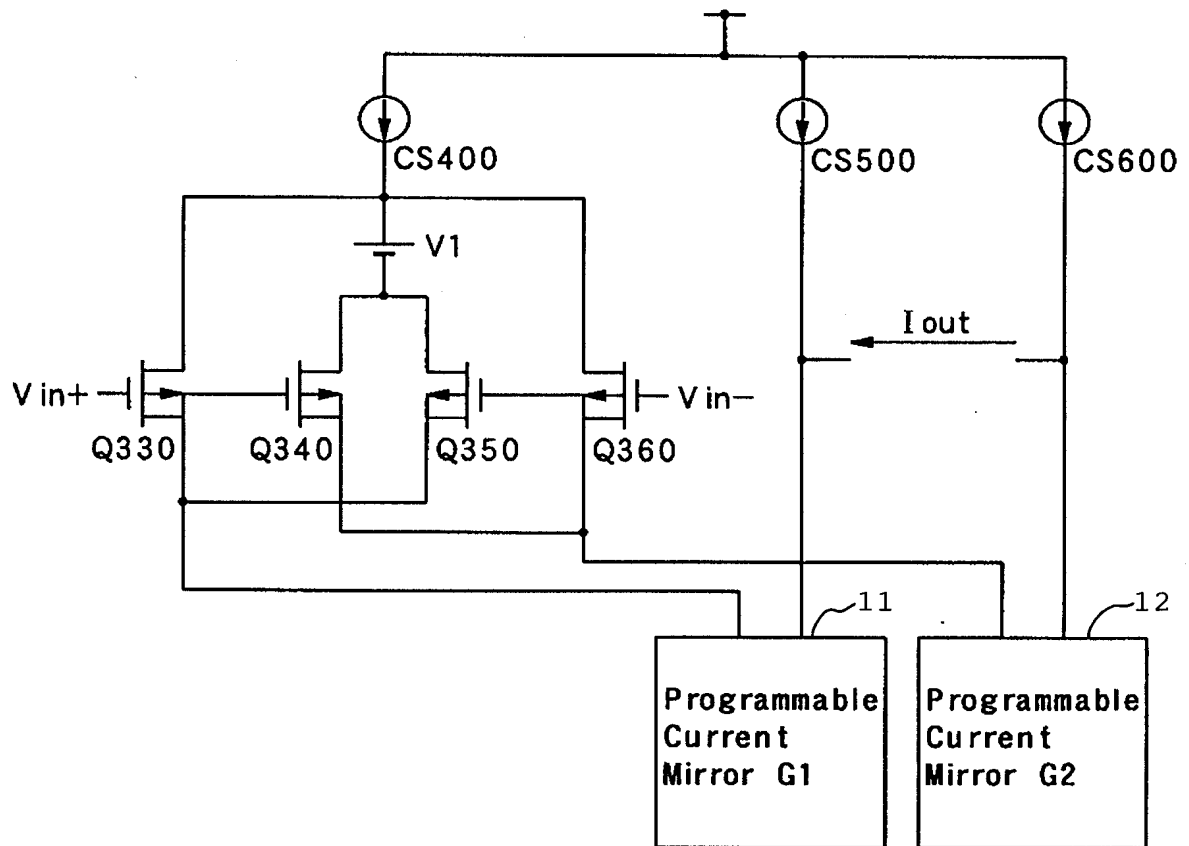
- [1] 入力側端子と出力側端子と接地側端子を備え、電圧・電流変換を行う入力部能動素子と、
- 前記入力部能動素子の出力側端子の電位に基づいて、前記入力部能動素子の変換利得を制御する電位制御回路と、
- 前記電位制御回路から出力された電圧信号に対応した電流を出力する出力部電圧・電流変換回路と、
- 前記入力部能動素子の出力側端子から当該入力部能動素子に流れる直流電流量に応じて直流電流を出力する、当該入力部能動素子の出力側端子に接続された電流補償回路とを有する利得可変電圧・電流変換回路。
- [2] 前記電位制御回路は、
- 第1の入力側端子に電位制御信号が入力され、第2の入力側端子に前記入力部能動素子の出力側端子が接続された電圧比較回路と、
- 入力側端子に前記電圧比較回路の出力側端子が接続され、出力側端子に前記入力部能動素子の出力側端子が接続された、電圧・電流変換を行う媒介能動素子とを有する、請求項1に記載の利得可変電圧・電流変換回路。
- [3] 前記電圧比較回路は、オペアンプを含む、請求項2に記載の利得可変電圧・電流変換回路。
- [4] 前記電流補償回路は、入力側端子に電流補償電圧信号が入力され、出力側端子に前記入力部能動素子の出力側端子が接続された能動素子を有する、請求項1から3のいずれか1項に記載の利得可変電圧・電流変換回路。
- [5] 前記電流補償電圧信号の生成回路は、
- 第1の入力端子に参照電圧信号が入力され、第2の入力端子に前記媒介能動素子の複製回路の入力電圧信号が入力されたオペアンプと、
- 当該オペアンプの出力端子に入力端子が接続され、当該出力端子が前記入力部能動素子の複製回路の出力側端子に接続された能動素子とを有する、請求項2から4のいずれか1項に記載の利得可変電圧・電流変換回路。
- [6] 前記利得可変電圧・電流変換回路を構成する能動素子は、電界効果トランジスタ

またはバイポーラトランジスタを含む、請求項1から5のいずれか1項に記載の利得可変電圧・電流変換回路。

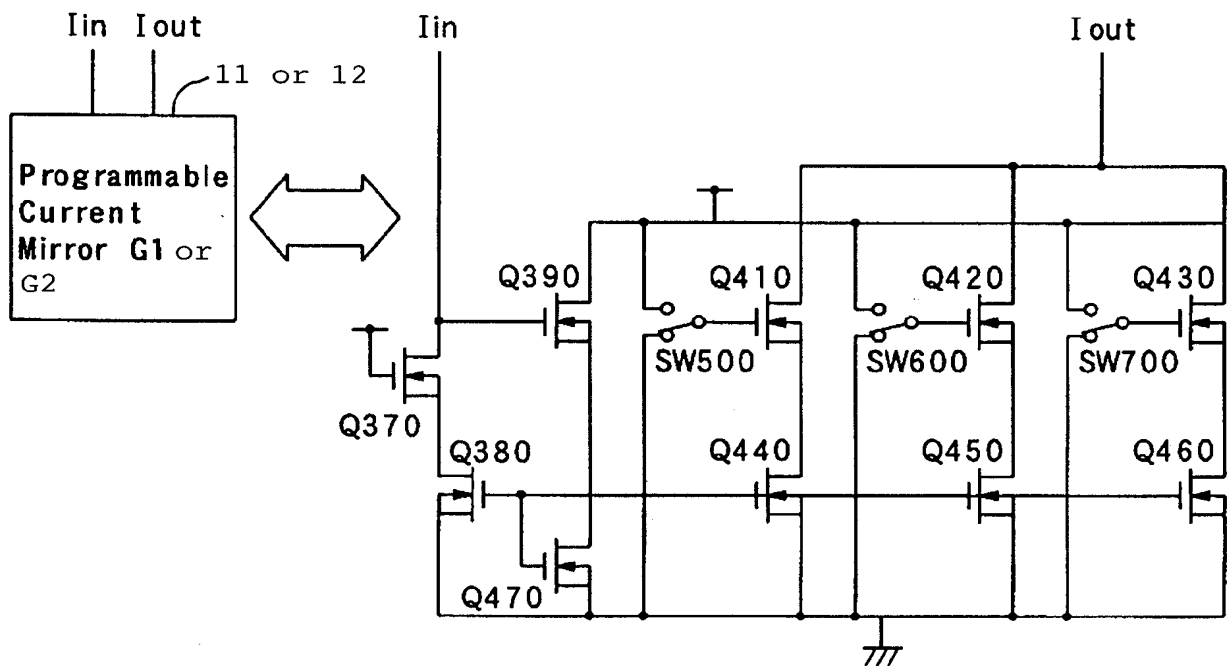
- [7] 請求項1から6のいずれか1項に記載の利得可変電圧・電流変換回路と容量素子の組み合わせ回路と、

前記利得可変電圧・電流変換回路の利得を変化させることにより通過周波数帯域を調整する手段とを有するフィルタ回路。

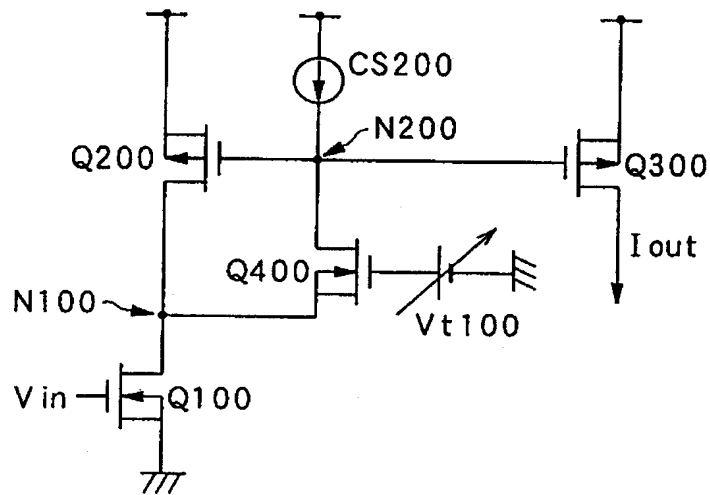
[図1A]



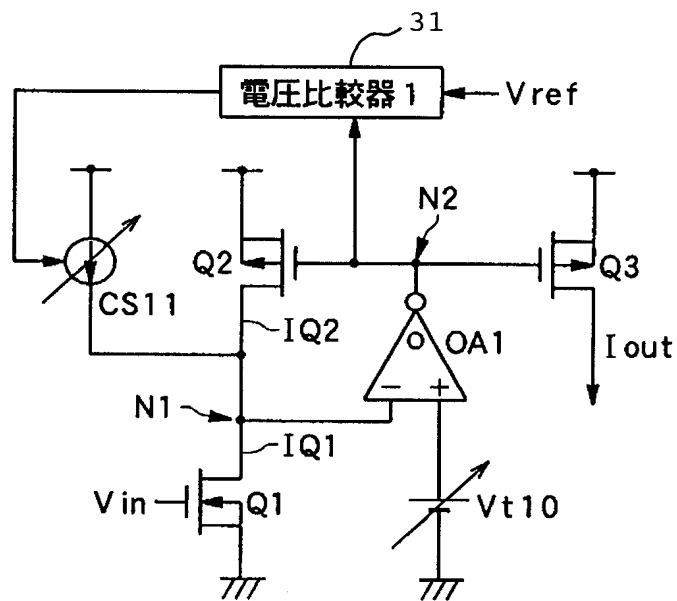
[図1B]



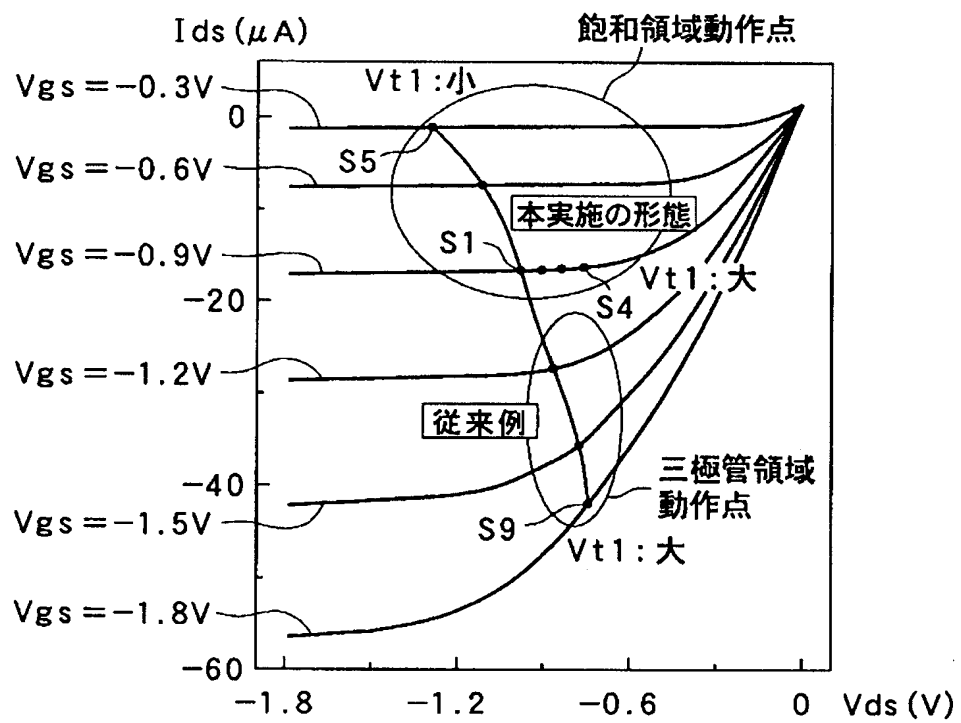
[図2]



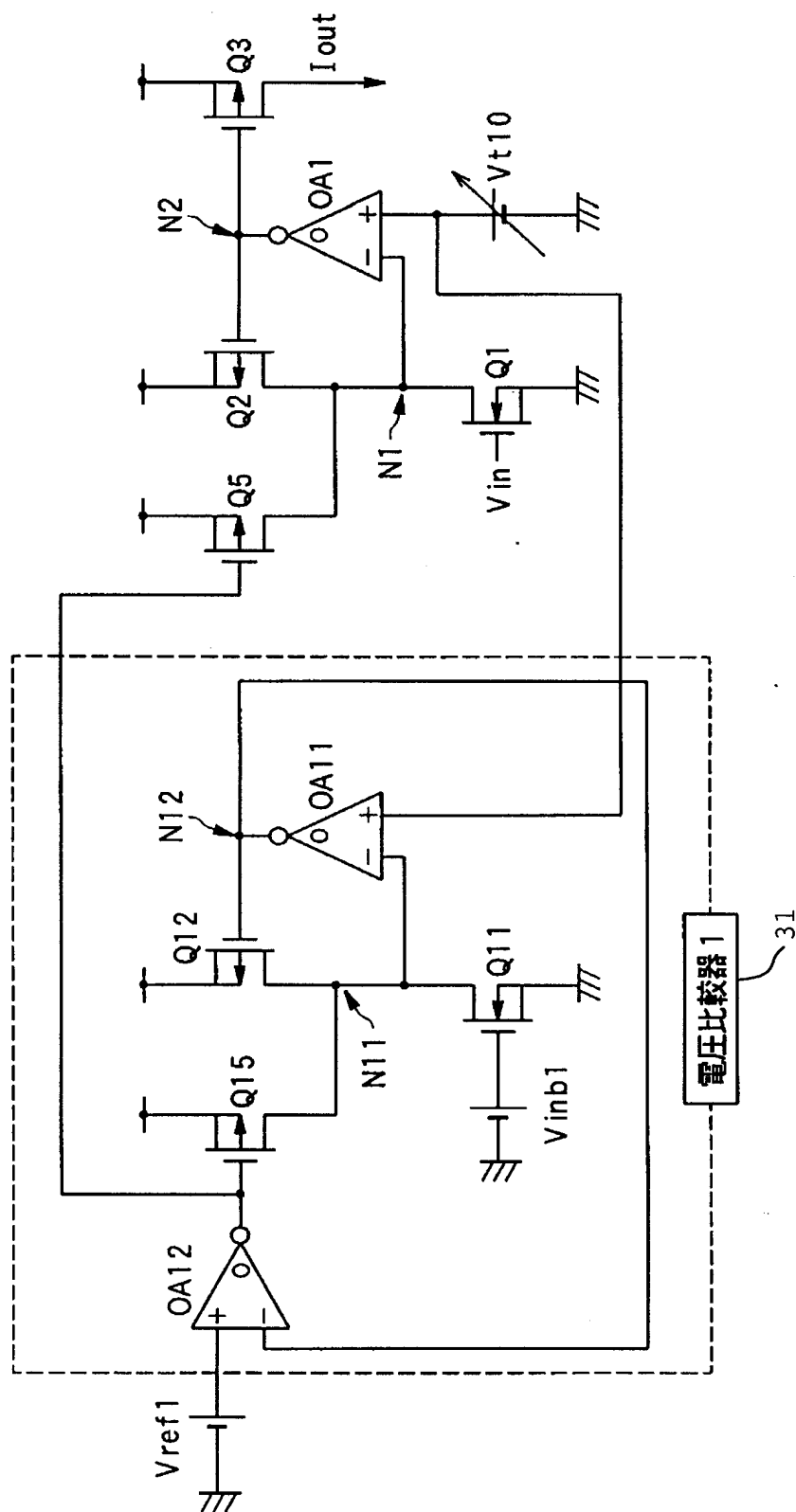
[図3A]



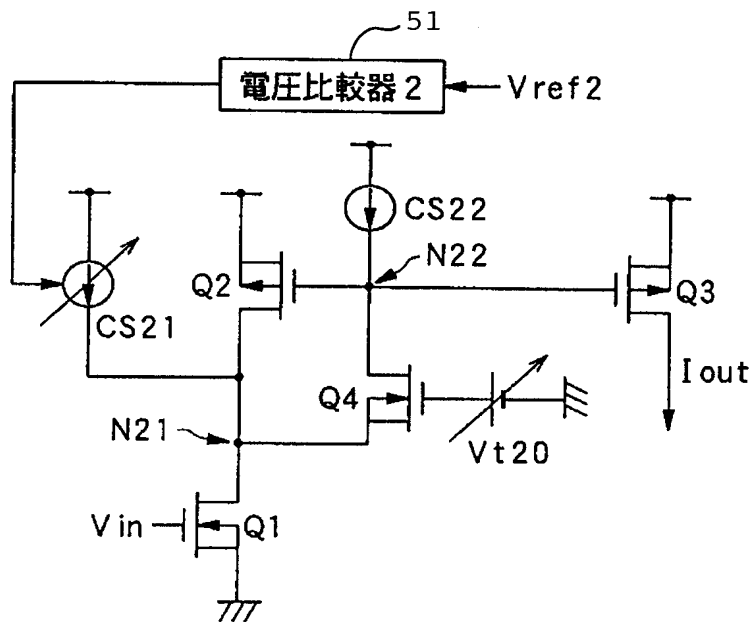
[図3B]



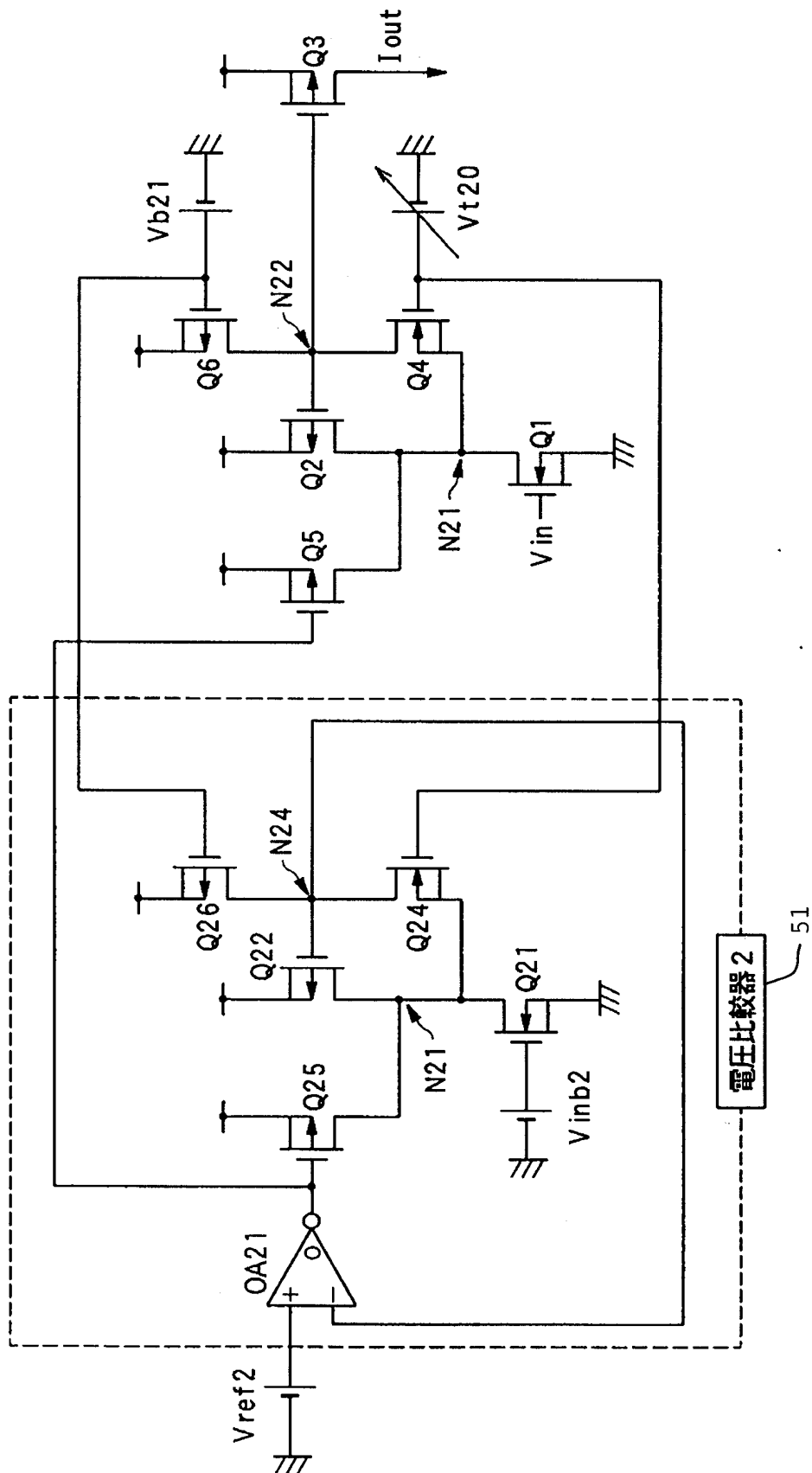
[図4]



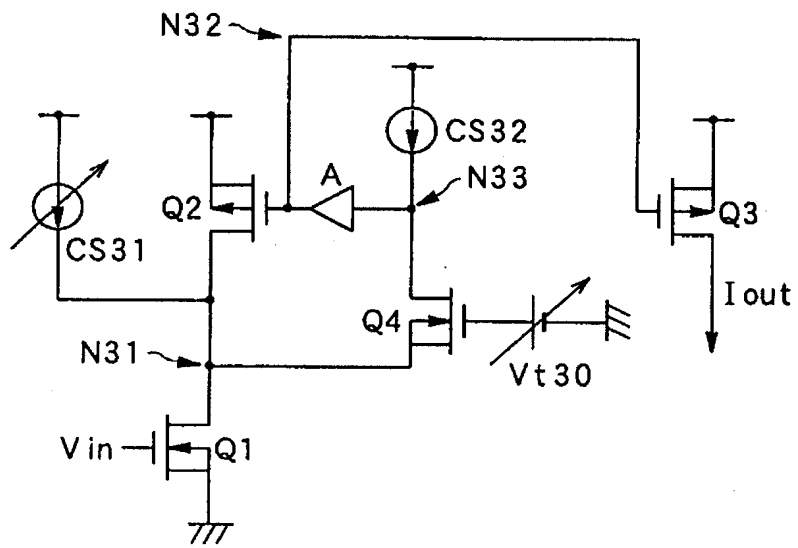
[図5]



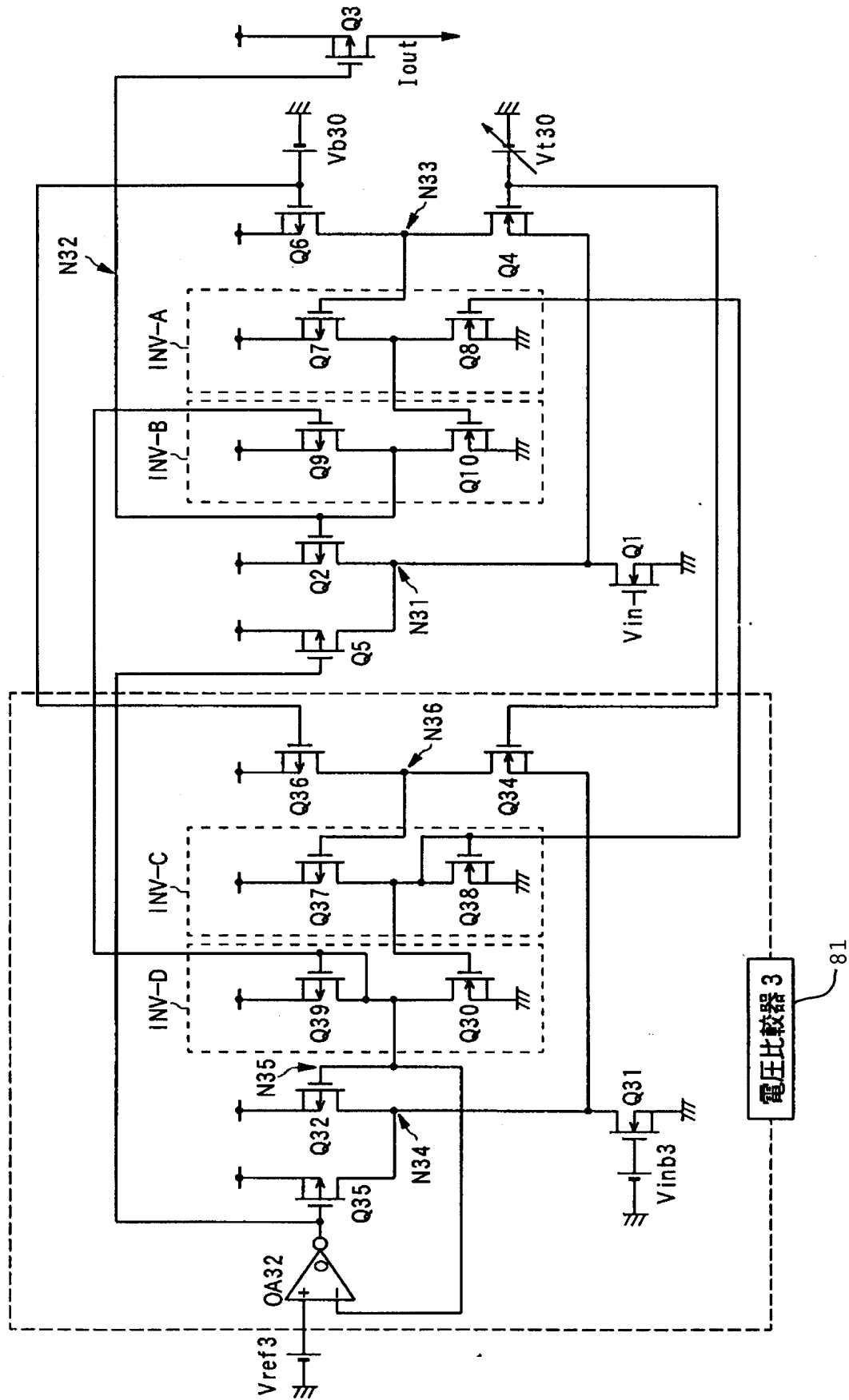
[図6]



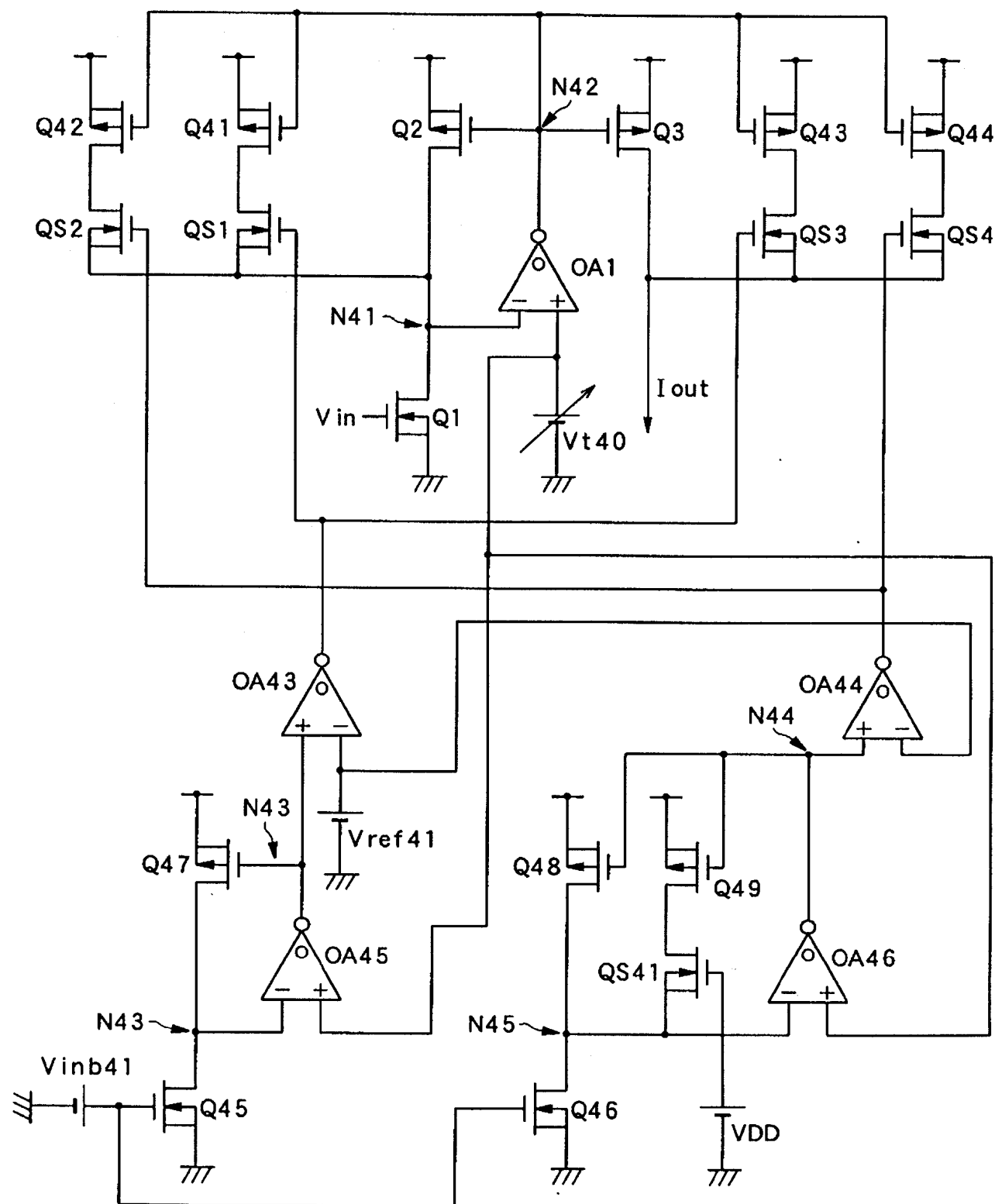
[図7]



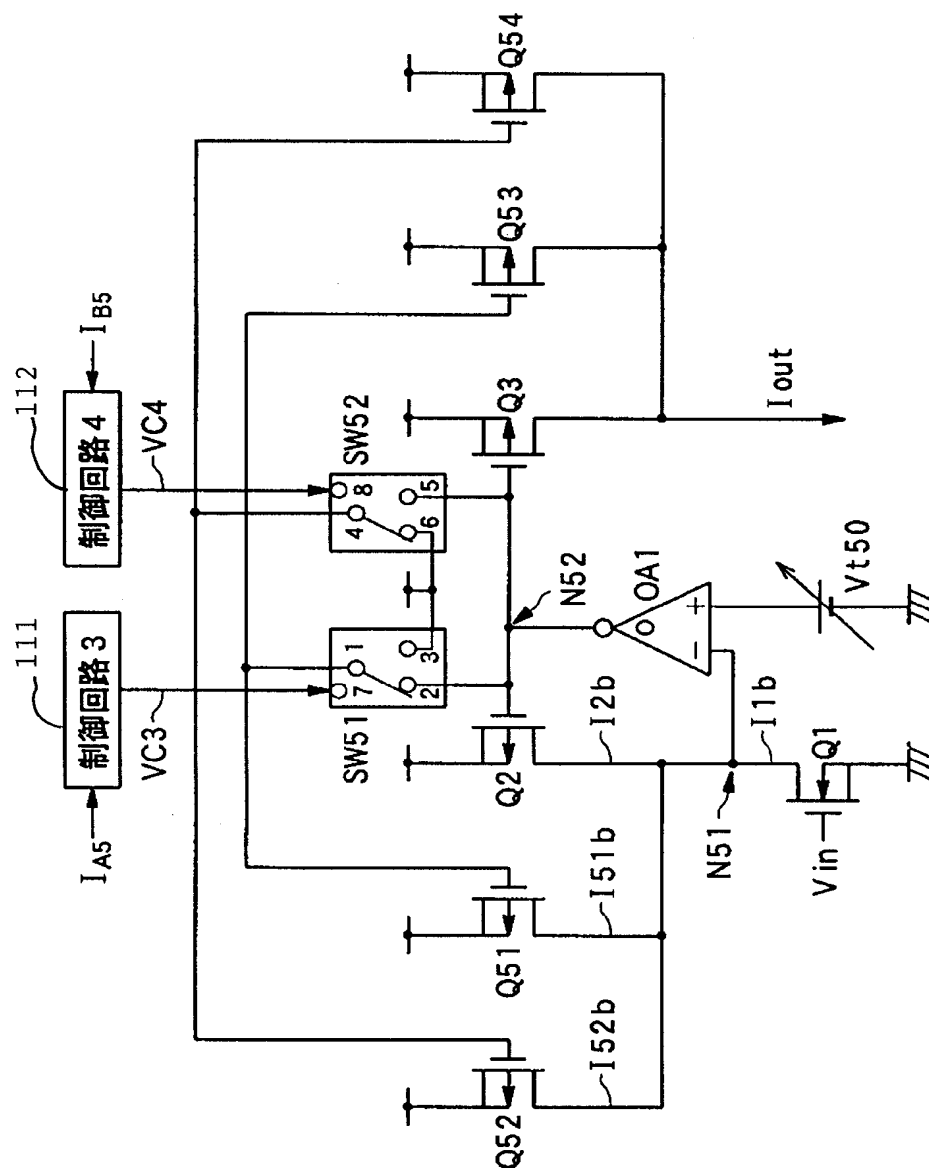
[図8]



[図10]



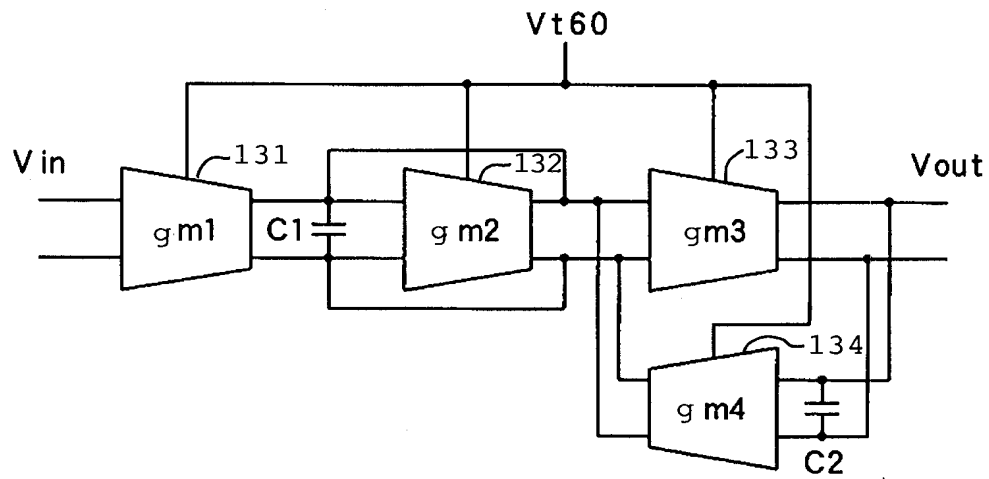
[図11]



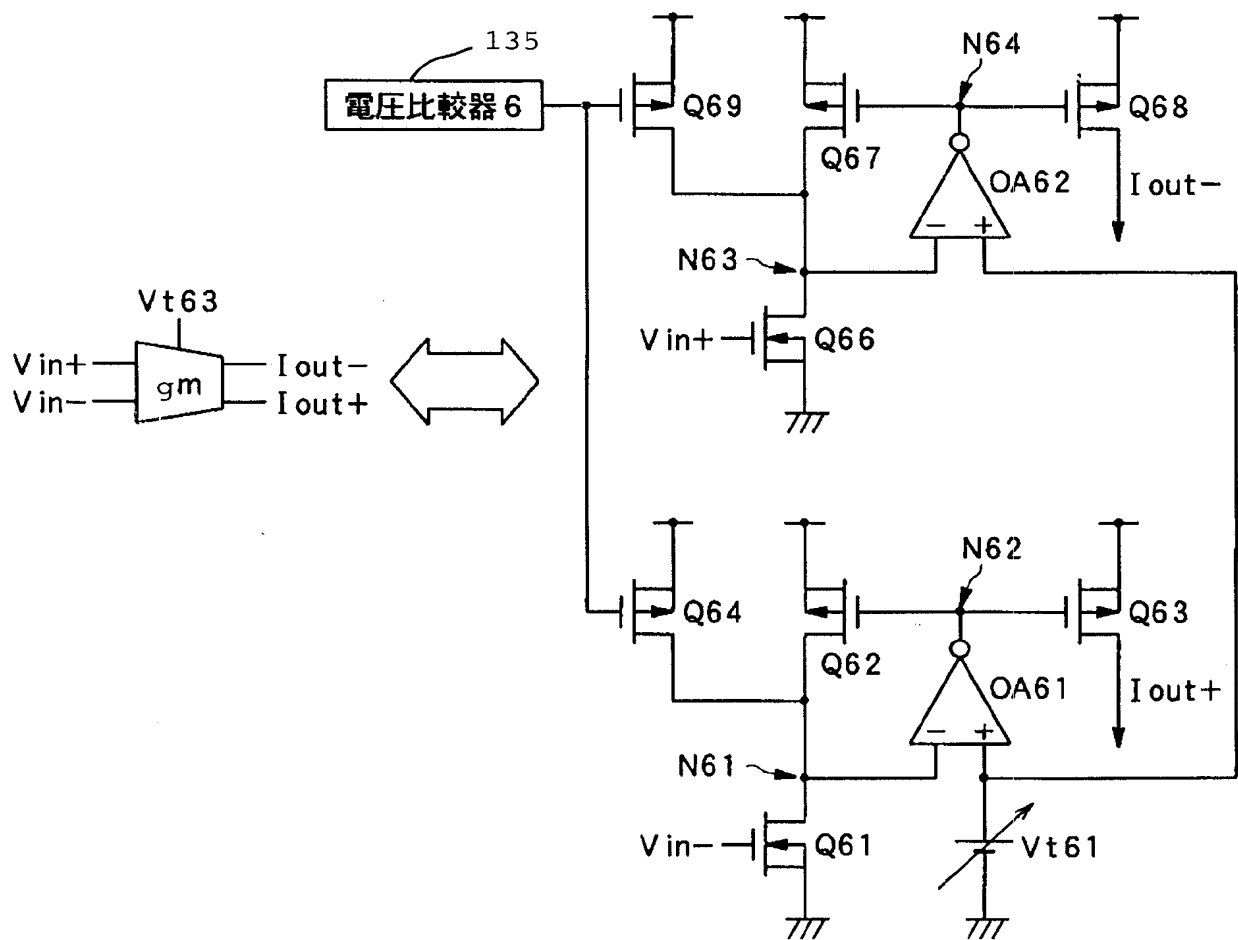
The diagram illustrates a complex multi-stage CMOS amplifier circuit. Key components include:

- Input Stage:** Features a differential pair of PMOS transistors (Q52, Q51) and NMOS transistors (Q2, Q3). The input signal V_{in} is applied to the gates of Q2 and Q3. The output of this stage is connected to the non-inverting input of op-amp OA1.
- Feedback and Biasing:** A feedback loop is formed by a network of transistors (Q53, Q54) and op-amps (OA1, OA53, OA54, OA55). A reference voltage V_{ref51} is used for biasing. A variable threshold voltage V_{t50} is also indicated.
- Output Stage:** The output of the circuit is I_{out} , which is the current through a load resistor connected to the output of the final stage (Q59).
- Control and Monitoring:** The circuit includes several control points labeled N51, N52, N53, N54, N55, and N56, which likely represent nodes for monitoring or control. A voltage V_{inb51} is also shown at the input of Q55.
- Switches:** Several switches are labeled, including SWT31, SWT41, SWT32, SWT42, SWC3, and SWC4, which may be used for mode selection or calibration.

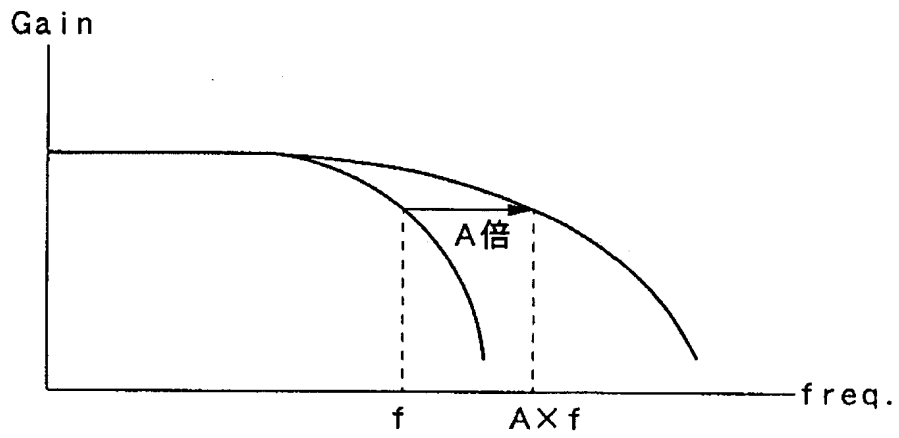
[図13A]



[図13B]



[図14]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/013433

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H03G3/10, H03F3/34, H03H11/04

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ H03G1/00-3/34, H03F3/34-3/36, H03H11/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004
Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	Uroschaint YODPRASIT et al., "A 1.5 V 75 dB-Dynamic Range 3rd-Order Gm-C Filter Integrated in a 0.18 μ m Standard Digital CMOS Process", In: Proceedings ESSCIRC 2002, pages 647 to 650	1-7
A	JP 08-032369 A (Mitsumi Electric Co., Ltd.), 02 February, 1996 (02.02.96), Full text; all drawings (Family: none)	1-7
A	JP 08-078973 A (Kanebo, Ltd.), 22 March, 1996 (22.03.96), Full text; all drawings (Family: none)	1-7

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
14 December, 2004 (14.12.04)

Date of mailing of the international search report
11 January, 2005 (11.01.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/013433

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
E, A	JP 2004-266316 A (NEC Corp.), 24 September, 2004 (24.09.04), Full text; all drawings & WO 2004/077666 A1	1-7

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl.⁷ H03G 3/10
H03F 3/34
H03H11/04

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.⁷ H03G 1/00- 3/34
H03F 3/34- 3/36
H03H11/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2004年
日本国登録実用新案公報 1994-2004年
日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	Uroschaint YODPRASIT et al, 'A 1.5 V 75 dB-Dynamic Range 3rd-Order Gm-C Filter Integrated in a 0.18 μ m Standard Digital CMOS Process' In: Proceedings ESSCIRC 2002, pp647-650	1-7
A	J P 08-032369 A (ミツミ電機株式会社) 1996. 02. 02, 全文、全図 (ファミリーなし)	1-7
A	J P 08-078973 A (鐘紡株式会社) 1996. 03. 22, 全文、全図 (ファミリーなし)	1-7

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

14. 12. 2004

国際調査報告の発送日

11.1.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

白井 孝治

5W

8843

電話番号 03-3581-1101 内線 3576

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
EA	J P 2004-266316 A (日本電気株式会社) 2004. 09. 24, 全文、全図、 & WO2004/077666 A1	1-7